

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

[Utility model registration claim]

[Claim 1] The semiconductor device package equipped with the patchboard (10) which was joined to said ceramic substrate (1), and which mainly consists of synthetic resin while having the inner layer circuit (11) electrically connected to the semiconductor device (6) mounted on a ceramic substrate (1) and its ceramic substrate (1), and the cap (9) for closing the semiconductor device (6) and said semiconductor device (6).

[Claim 2] The inner layer circuit (11) and semiconductor device (6) of said patchboard (10) are a semiconductor device package according to claim 1 characterized by being electrically joined through the Bahia hall (3) and solder bump (B) of said ceramic substrate (1).

[Claim 3] Said solder bump's (B)'s height (h1 and h2) is a semiconductor device package according to claim 2 which sets to 0.3mm - 0.6mm before junction, and is characterized by being set to 0.2mm - 0.7mm after junction.

[Claim 4] Said solder bump (B) is a semiconductor device package according to claim 1 or 2 characterized by forming the melting point using the solder which is 180 degrees C - 450 degrees C.

---

[Translation done.]

THIS PAGE BLANK (USPTO)

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed explanation of a design]

[0001]

[Industrial Application]

This design is related with the semiconductor device package used for a large-sized computer, its peripheral device, etc.

[0002]

[Description of the Prior Art]

Conventionally, with this kind of semiconductor device package, semiconductor devices, such as IC chip, are mounted on the patchboard which has a inner layer circuit, and the inner layer circuit is electrically connected to that semiconductor device. Moreover, while the closure of the mounted semiconductor device is carried out with a metal cap, in the cap, inert gas, such as nitrogen, is filled for protection of a semiconductor device. And as an ingredient which manufactures a patchboard, synthetic resin, the ceramics, etc. are used independently conventionally, respectively.

[0003]

[Problem(s) to be Solved by the Device]

However, with the semiconductor device package made from the ceramics with sufficient adhesion with a metal cap, although it is satisfactory to the closure nature of a cap, since a tungsten paste is used for formation of a inner layer circuit, it becomes difficult to manufacture the small patchboard of sheet resistance. Consequently, the rapidity required of a large-sized computer etc. is not securable.

[0004]

With the semiconductor device package of the product made of synthetic resin on the other hand, to formation of a inner layer circuit, since the small copper of specific resistance is usable, sheet resistance is lower than the semiconductor device package made from the ceramics. Moreover, it has the advantage that a manufacturing cost becomes cheap from the case where a ceramic ingredient is used. However, when synthetic resin is used, it is difficult for the closure nature of a cap to worsen and to prevent penetration of the oxygen from the outside, moisture, etc. certainly. Therefore, the dependability of a semiconductor device is unmaintainable over a long period of time.

[0005]

By accomplishing this design in view of the above-mentioned situation, the purpose is in offering the semiconductor device package excellent in both rapidity and dependability by aiming at the closure nature improvement of a cap in order to close the reduction in resistance and semiconductor device of a inner layer circuit.

[0006]

[Means for Solving the Problem]

In order to solve the above-mentioned technical problem, while having a ceramic substrate, the semiconductor device mounted on the ceramic substrate, the cap for closing the semiconductor device, and the inner layer circuit electrically connected to said semiconductor device, about this design, it has the patchboard which was joined to said ceramic substrate and which mainly consists of synthetic resin.

[0007]

[Function]

According to this configuration, since sheet resistance of a inner layer circuit can be made small since a inner layer circuit is formed in the patchboard made of synthetic resin, and the closure of a semiconductor device is performed by junction to a cap and a ceramic substrate, closure nature is also good. Therefore, it can consider as the semiconductor device package excellent in both the rapidity required of a large-sized computer, and dependability. Moreover, configuration \*\*\*\*\* of this design used only for mounting of a semiconductor device and adhesion wearing of a cap of a ceramic substrate and the jump of cost can also be prevented.

[0008]

The inner layer circuit and semiconductor device of said patchboard are electrically joined through the Bahia hall and

THIS PAGE BLANK (USPTO)

solder bump of said ceramic substrate. [ ] pad for solder bump junction is formed [ ] of the Bahia hall and a solder bump, and both are joined to it through the pad.

[0009]

Moreover, as for said solder bump's height, it is desirable for it to be referred to as 0.3mm - 0.6mm before junction, and to be set to 0.2mm - 0.7mm after junction. The height of the solder bump before junction is not suitable in order [ said ] to cause the excess of the amount of solder, or lack as it is out of range. Moreover, it is [ a possibility that junction may become it imperfect that the height of the solder bump after junction is less than 0.2mm ] and is not desirable. On the other hand, if said height exceeds 0.7mm, fear of breakage will arise.

[0010]

Furthermore, as for said solder bump, it is desirable to form the melting point using the solder which is 180 degrees C - 450 degrees C, for example, a golden-tin alloy and a lead-tin alloy can be used. The reason has strong possibility that a bump will be destroyed by heat in the mounting phase of a semi-conductor if the melting point uses less than 180-degree C solder, and if the solder with which the melting point exceeds 450 degrees C is used, it will have a bad influence on the physical properties of the patchboard which becomes heat from weak synthetic resin.

[0011]

In addition, it is desirable that the coefficient of thermal expansion of a patchboard and the coefficient of thermal expansion of a substrate are comparable, and the fall on the strength like the joint resulting from change of environmental temperature etc. can prevent beforehand by making it such combination.

[0012]

[Working Example(s) and Comparative Example(s)]

This design is explained at a detail based on a drawing about the example and the example of a comparison which were materialized to the IC package below.

[0013]

As shown in drawing 1 , in the IC package of this example 1, the substrate 1 made from an aluminium nitride sintered compact is used as a ceramic substrate for mounting IC chip. This substrate 1 is manufactured from sheet forming or the green sheet by which press forming was carried out, and two or more through tubes 2 are formed in said green sheet of N/C processing etc. And baking is given after each through tube 2 is filled up with a tungsten paste.

[0014]

Each Bahia hall 3 is formed in the substrate 1. The pad 4 for wrap solder bump junction is joined to the inferior surface of tongue of a substrate 1 in the lower limit of the Bahia hall 3. The pad 5 for wrap wirebonding is joined to the top face of a substrate 1 in the upper limit of the Bahia hall 3. Therefore, the up-and-down pads 4 and 5 are electrically connected by the Bahia hall 3. The outer diameters and thickness of the pad 4 for solder bump junction are 400 micrometers and 20 micrometers, respectively, and the tungsten is used for the ingredient. The outer diameters and thickness of the pad 5 for wirebonding are 250 micrometers and 20 micrometers, respectively, and the tungsten is used for the ingredient. Moreover, before and after baking of a green sheet, each pads 4 and 5 cannot be concerned but can be formed.

[0015]

The IC chip 6 as a semiconductor device is mounted in the center of a top face of a substrate 1, and the pad 8 for wirebonding of IC chip 6 top face and the pad 5 by the side of a substrate 1 are electrically connected by two or more wires 7.

[0016]

As shown in drawing 1 , the IC chip 6 is arranged in hold section 9a on the substrate 1 with the metal cap 9 with which said IC chip 6 has flange 9b and hold section 9a. The closure is carried out. As a metal for manufacture of said cap 9, the good thing of closure nature is used, for example like covar (iron-nickel-cobalt alloy). Moreover, the space S which hold section 9a of cap 9 and a substrate 1 make is filled up with nitrogen gas in order to protect the IC chip 6 from oxygen, moisture, ion, etc. of the package exterior.

[0017]

Moreover, in this example 1, the complex (refer to JP,61-287190,A) of synthetic resin and the ceramics is used as an ingredient which forms a patchboard 10.

This complex consists of glass epoxy which is synthetic resin, and cordierite which is the ceramics, and it has the structure where it filled up with glass epoxy into the open pore of a cordierite sintered compact. Therefore, the coefficient of thermal expansion of the patchboard 10 using said ingredient is almost equal to the coefficient of thermal expansion of the aluminium nitride substrate 1, and the value is 4 ppm/degree C - 5 ppm/degree C.

[0018]

Said patchboard 10 is manufactured by carrying out a laminating one by one according to conventional methods, such as the build up method, after forming the inner layer circuit 11 which becomes the copper clad laminate made from said complex from circuit pattern 11a or Bahia hall 11b. As shown in drawing 1 , the same pad 13 for solder bump

THIS PAGE IS NAK (USPTO)

junction as a substrate 1 is joined to the upper limit of Bahia hall 11b exposed to the face of a patchboard 10. Moreover, the pad 14 for pin \*\*\*\* is joined by the lower limit of Bahia hall 11b exposed to the inferior surface of tongue of a patchboard 10, and the connector pin 15 is set up by each pad 14, respectively. In addition, the heat dissipation opening 12 for missing the heat generated for the IC chip 6 is formed in the center section of the patchboard 10.

[0019]

How to join a substrate 1 on the above-mentioned patchboard 10 is explained below.

On the occasion of both 1 and 10 junction, the solder bump B is formed on each pad 13 by the side of a patchboard 10 (refer to drawing 2 (a)). The solder bump B means the lump of the shape of a wen formed when the fused solder (this example golden-tin alloy with a melting point of 310 degrees C - 320 degrees C) is hung down to the top face of a pad 13.

[0020]

And it piles up so that each pad 4 by the side of a substrate 1 may be located on the solder bump B, as it is indicated in drawing 1 as a patchboard 10 and a substrate 1. At this time, the pad 13 by the side of a patchboard 10 and the pad 4 by the side of a substrate 1 are electrically joined through the solder bump B (refer to drawing 2 (b)). Therefore, it means that the IC chip 6 and the inner layer circuit 11 of a patchboard 10 were electrically connected through the Bahia hall 3 of a substrate 1. in addition, before junction of a substrate 1 -- it can set -- the solder bump's B height h1 about 0.5mm -- it is -- after junction -- the height h2 It is set to 0.4mm.

[0021]

In order to investigate the property of the IC package manufactured as mentioned above, the rapidity evaluation trial and the reliability evaluation trial were performed. In the rapidity evaluation trial, the sheet resistance (mohm/\*\*\*) of a patchboard 10 and a substrate 1 was measured. Moreover, it is the amount (atm-cc/sec) of leaks per time amount of the nitrogen gas which leaks from the clearance between flange 9b and a substrate 1 in a reliability evaluation trial when immersed in FURORINATO in the closure nature of cap 9, i.e., an IC package. It measured. Those measurement results are shown in Table 1.

[0022]

Moreover, in the example 2, the substrate made from an alumina and the patchboard made from glass epoxy were used, and the IC package was manufactured according to the procedure of said example 1. The evaluation trial same about this IC package as an example 1 was performed. The result is shown in Table 1.

[0023]

Furthermore, the IC package of a type was manufactured conventionally using the patchboard which consists of one sort of ingredients as a comparison to each above-mentioned examples 1 and 2 using two sorts of package ingredients. In this kind of IC package, IC chip is mounted on the patchboard which has a inner layer circuit, and that IC chip and inner layer circuit are electrically connected through the wire. Moreover, the closure of the IC chip is carried out with the cap made from covar, and nitrogen gas is filled like said each example inside the cap. And what formed the inner layer circuit with copper was made into the example 1 of a comparison, using only glass epoxy as an ingredient of a patchboard. Moreover, what formed the inner layer circuit with a tungsten paste was made into the example 2 of a comparison, using only aluminum nitride as an ingredient of a patchboard.

[0024]

The evaluation trial same also about the IC package of each of said examples 1 and 2 of a comparison as said example 1 was performed. Those results are also shown in Table 1.

[0025]

[Table 1]

	N <sub>2</sub> ガスのリーク量 (atm・cc/sec)	シート抵抗 (mΩ/□)
実施例 1	< 1 0 <sup>-7</sup>	< 1
実施例 2	< 1 0 <sup>-7</sup>	< 1
比較例 1	> 1 0 <sup>-5</sup> ~ 1 0 <sup>-6</sup>	< 1
比較例 2	< 1 0 <sup>-7</sup>	5 ~ 2 0

[0026]

In both the examples 1 and 2 and the example 2 of a comparison, the amount of leaks of nitrogen gas showed the suitable value below of 10-7 atm-cc/sec so that clearly from Table 1.

THIS PAGE BLANK (USPTO)

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**TECHNICAL FIELD**

---

**[Industrial Application]**

This design is related with the semiconductor device package used for a large-sized computer, its peripheral device, etc.

**[0002]**

---

**[Translation done.]**

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) **公開実用新案公報 (U)**

(11)実用新案出願公開番号

**実開平5-59847**

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.<sup>5</sup>  
H 01 L 23/08  
23/12  
23/15

識別記号 庁内整理番号  
D 8406-4M

F I

技術表示箇所

8617-4M  
8617-4M

H 01 L 23/ 12

W

N

審査請求 未請求 請求項の数4(全2頁) 最終頁に続く

(21)出願番号 実願平4-792

(22)出願日 平成4年(1992)1月13日

(71)出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72)考案者 加藤 泰隆

岐阜県揖斐郡揖斐川町北方1の1 イビデン株式会社大垣北工場内

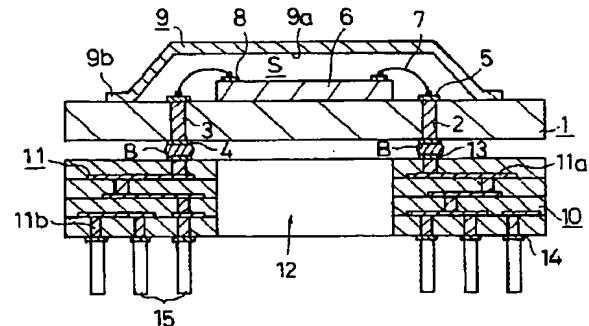
(74)代理人 弁理士 恩田 博宣

(54)【考案の名称】 半導体素子パッケージ

(57)【要約】

【目的】 内層回路の低抵抗化及び半導体素子を封止するためキャップの封止性改善をする。

【構成】 本考案の半導体素子搭載用のパッケージは、窒化アルミニウム基板1と、その基板1上に実装されたICチップ6と、そのICチップ6を封止するための金属製キャップ9と、ICチップ6に電気的に接続される内層回路11とを有する。この基板1には、主に合成樹脂からなる配線板10がはんだバンブBによって電気的に接合される。



1

## 【実用新案登録請求の範囲】

【請求項1】セラミックス基板(1)と、そのセラミックス基板(1)上に実装された半導体素子(6)と、その半導体素子(6)を封止するためのキャップ(9)と、前記半導体素子(6)に電気的に接続される内層回路(11)を有すると共に、前記セラミックス基板(1)に接合された主に合成樹脂からなる配線板(10)とを備えた半導体素子パッケージ。

【請求項2】前記配線板(10)の内層回路(11)と半導体素子(6)とは前記セラミックス基板(1)のバイアホール(3)及びはんだバンプ(B)を介して電気的に接合されることを特徴とする請求項1に記載の半導体素子パッケージ。

【請求項3】前記はんだバンプ(B)の高さ(h<sub>1</sub>、h<sub>2</sub>)は接合前において0.3mm～0.6mmとし、接合後においては0.2mm～0.7mmとなることを特徴とする請求項2に記載の半導体素子パッケージ。

\* 10

\* 【請求項4】前記はんだバンプ(B)は融点が180°C～450°Cのはんだを用いて形成されることを特徴とする請求項1または2に記載の半導体素子パッケージ。

## 【図面の簡単な説明】

【図1】本考案をICパッケージに具体化した実施例を示す断面概略図である。

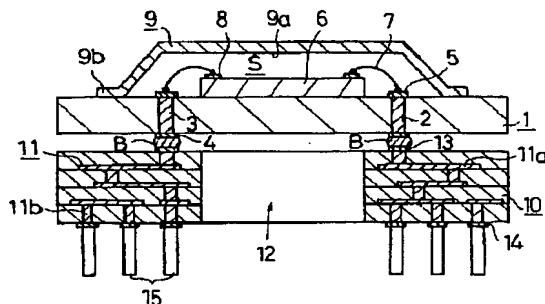
【図2】(a)は接合前の配線板と基板とを示す要部拡大断面図であり、(b)は接合後の配線板と基板とを示す要部拡大断面図である。

【図3】本考案をフェースダウンパッケージに具体化した別例を示す断面概略図である。

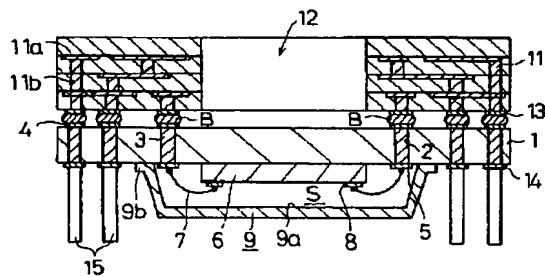
## 【符号の説明】

1 セラミックス基板としての窒化アルミニウム基板、  
6 半導体素子としてのICチップ、9 キャップ、1  
1 内層回路、10 配線板、3 バイアホール、B  
はんだバンプ、h<sub>1</sub>、h<sub>2</sub> (はんだバンプの) 高さ。

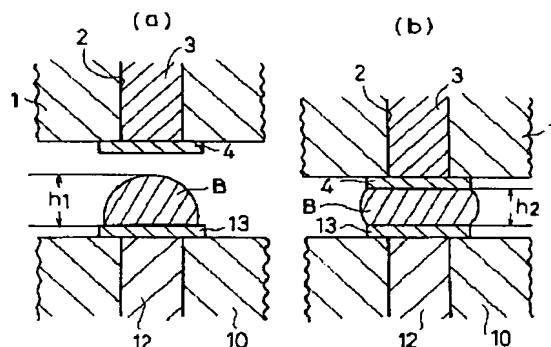
【図1】



【図3】



【図2】



フロントページの続き

(51) Int.CI.<sup>3</sup>識別記号 庁内整理番号  
8617-4MF 1  
H 0 1 L 23/14

技術表示箇所

C

**【考案の詳細な説明】****【0001】****【産業上の利用分野】**

本考案は大型コンピュータやその周辺機器等に用いられる半導体素子パッケージに関するものである。

**【0002】****【従来の技術】**

従来、この種の半導体素子パッケージでは、内層回路を有する配線板上にICチップ等の半導体素子が実装され、かつその半導体素子には内層回路が電気的に接続されている。また、実装された半導体素子は金属製キャップによって封止されると共に、そのキャップ内には半導体素子の保護のために窒素等の不活性ガスが満たされている。そして、配線板を製造する材料としては、従来より合成樹脂やセラミックス等がそれぞれ単独で用いられている。

**【0003】****【考案が解決しようとする課題】**

ところが、金属製キャップとの密着性が良いセラミックス製の半導体素子パッケージではキャップの封止性に問題はないが、内層回路の形成にタンゲステンペーストが使用されるため、シート抵抗の小さい配線板を製造することが困難になる。その結果、大型コンピュータ等に要求される高速性を確保することができない。

**【0004】**

一方、合成樹脂製の半導体素子パッケージでは、内層回路の形成に比抵抗の小さい銅が使用可能であるため、シート抵抗はセラミックス製の半導体素子パッケージより低い。また、セラミックス材料を用いる場合より製造コストが安くなるという利点を有している。しかし、合成樹脂を用いるとキャップの封止性が悪くなり、外部からの酸素、水分等の進入を確実に防止することが難しい。従って、長期間にわたって半導体素子の信頼性を維持することができない。

**【0005】**

本考案は上記の事情に鑑みて成されたものであり、その目的は、内層回路の低

抵抗化及び半導体素子を封止するためキャップの封止性改善を図ることにより、高速性及び信頼性の両方に優れた半導体素子パッケージを提供することにある。

#### 【0006】

##### 【課題を解決するための手段】

上記の課題を解決するために、本考案では、セラミックス基板と、そのセラミックス基板上に実装された半導体素子と、その半導体素子を封止するためのキャップと、前記半導体素子に電気的に接続される内層回路を有すると共に、前記セラミックス基板に接合された主に合成樹脂からなる配線板とを備えている。

#### 【0007】

##### 【作用】

この構成によれば、内層回路は合成樹脂製の配線板に形成されるため、内層回路のシート抵抗を小さくすることができ、かつ半導体素子の封止はキャップとセラミックス基板との接合によって行われるため封止性も良い。従って、大型コンピュータに要求される高速性及び信頼性の両方に優れた半導体素子パッケージとすることができる。また、セラミックス基板を半導体素子の実装及びキャップの密着装着のためのみに使用する本考案の構成によれば、コストの高騰も防ぐことができる。

#### 【0008】

前記配線板の内層回路と半導体素子とは前記セラミックス基板のバイアホール及びはんだバンプを介して電気的に接合される。バイアホール及びはんだバンプの各々には、はんだバンプ接合用パッドが形成され、両者はそのパッドを介して接合される。

#### 【0009】

また、前記はんだバンプの高さは接合前において0.3mm～0.6mmとし、接合後においては0.2mm～0.7mmとなることが望ましい。接合前のはんだバンプの高さが前記範囲外であると、はんだ量の過剰または不足を招くため好適でない。また、接合後のはんだバンプの高さが0.2mm未満であると、接合が不完全になる虞れがあり好ましくない。一方、前記高さが0.7mmを越えると、破損の虞れが生じる。

## 【0010】

更に、前記はんだバンプは融点が180℃～450℃のはんだを用いて形成されることが望ましく、例えば、金-スズ合金や鉛-スズ合金を使用することができる。その理由は、融点が180℃未満のはんだを用いると、半導体の実装段階において熱によりバンプが破壊される可能性が強く、融点が450℃を越えるはんだを用いると、熱に弱い合成樹脂からなる配線板の物性に悪影響を及ぼす。

## 【0011】

加えて、配線板の熱膨張率と基板の熱膨張率とは同程度であることが好ましく、このような組合せにすることにより、環境温度の変化に起因した接合部位の強度低下等が未然に防止できる。

## 【0012】

## 【実施例及び比較例】

以下に本考案をICパッケージに具体化した実施例及び比較例について図面に基づき詳細に説明する。

## 【0013】

図1に示すように、本実施例1のICパッケージではICチップを実装するためのセラミックス基板として、窒化アルミニウム焼結体製の基板1が使用されている。この基板1はシート成形またはプレス成形されたグリーンシートから製造され、前記グリーンシートにはN/C加工等によって複数の貫通孔2が形成されている。そして、各貫通孔2にタンゲステンペーストが充填された後、焼成が施されている。

## 【0014】

基板1には各バイアホール3が形成されている。基板1の下面にはバイアホール3の下端を覆うはんだバンプ接合用パッド4が接合されている。基板1の上面にはバイアホール3の上端を覆うワイヤボンディング用パッド5が接合されている。従って、上下のパッド4、5はバイアホール3によって電気的に接続されている。はんだバンプ接合用パッド4の外径及び厚さはそれぞれ400μm, 20μmであり、その材料にはタンゲステンが使用されている。ワイヤボンディング用パッド5の外径及び厚さはそれぞれ250μm, 20μmであり、その材料に

はタンゲステンが使用されている。また、各パッド4, 5はグリーンシートの焼成前後に関わらず形成することができる。

#### 【0015】

基板1の上面中央には、半導体素子としてのICチップ6が実装されており、複数のワイヤ7によってICチップ6上面のワイヤボンディング用パッド8と基板1側のパッド5とが電気的に接続されている。

#### 【0016】

図1に示すように、前記ICチップ6は、フランジ部9bと収容部9aとを有する金属製のキャップ9により、基板1上において収容部9a内にICチップ6が配置されている。封止されている。前記キャップ9の製造用の金属としては、例えばコバール（鉄ニッケルコバルト合金）等のように封止性の良いものが用いられる。また、キャップ9の収容部9aと基板1とが作る空間Sには、パッケージ外部の酸素、水分及びイオン等からICチップ6を保護するために窒素ガスが充填されている。

#### 【0017】

また、本実施例1では、配線板10を形成する材料として、合成樹脂とセラミックスとの複合体（特開昭61-287190号公報参照）が使用されている。この複合体は合成樹脂であるガラスエポキシとセラミックスであるコージエライトとからなり、コージエライト焼結体の開放気孔中にガラスエポキシが充填された構造を有している。従って、前記材料を用いた配線板10の熱膨張率は窒化アルミニウム基板1の熱膨張率にほぼ等しく、その値は4 ppm/°C～5 ppm/°Cである。

#### 【0018】

前記配線板10は、前記複合体製の銅張積層板に回路パターン11aやバイアホール11bからなる内層回路11を形成した後、ビルトアップ法などの常法に従って順次積層することにより製造される。図1に示すように、配線板10の上面に露出するバイアホール11bの上端には、基板1と同様のはんだバンプ接合用パッド13が接合されている。また、配線板10の下面に露出するバイアホール11bの下端にはピン立て用パッド14が接合され、各パッド14にはそれぞ

れコネクタピン15が立設されている。尚、配線板10の中央部には、ICチップ6に発生した熱を逃がすための放熱口12が形成されている。

#### 【0019】

以下に上記配線板10の上に基板1を接合する方法について説明する。

両者1, 10の接合に際して、配線板10側の各パッド13上にははんだバンプBが形成される(図2(a)参照)。はんだバンプBとは、溶融したはんだ(本実施例では融点310℃~320℃の金-スズ合金)をパッド13の上面に垂らした時に形成されるこぶ状の塊をいう。

#### 【0020】

そして、配線板10と基板1とは、図1に示すようにはんだバンプBの上に基板1側の各パッド4が位置するように重ね合わされる。このとき、配線板10側のパッド13と基板1側のパッド4とがはんだバンプBを介して電気的に接合される(図2(b)参照)。従って、ICチップ6と配線板10の内層回路11とが基板1のバイアホール3を介して電気的に接続されたことになる。尚、基板1の接合前におけるはんだバンプBの高さ $h_1$ は0.5mm程度であり、接合後にはその高さ $h_2$ は0.4mmとなる。

#### 【0021】

上記のように製造されたICパッケージの特性を調査するために、高速性評価試験及び信頼性評価試験を行った。高速性評価試験では、配線板10及び基板1のシート抵抗( $m\Omega/\square$ )を測定した。また、信頼性評価試験では、キャップ9の封止性、即ちICパッケージをフロリナートに浸漬したときに、フランジ9bと基板1との隙間から漏れる窒素ガスの時間あたりリーク量(atm·cc/sec)を測定した。それらの測定結果を表1に示す。

#### 【0022】

また、実施例2では、アルミナ製の基板とガラスエポキシ製の配線板とを使用し、前記実施例1の手順に従ってICパッケージを製造した。このICパッケージについて実施例1と同様の評価試験を行った。その結果を表1に示す。

#### 【0023】

更に、2種のパッケージ材料を用いた上記の各実施例1, 2に対する比較とし

て、1種の材料からなる配線板を用いた従来タイプのICパッケージを製造した。この種のICパッケージでは、内層回路を有する配線板上にはICチップが実装され、かつそのICチップと内層回路とはワイヤを介して電気的に接続されている。また、ICチップはコバール製キャップによって封止され、キャップ内部には前記各実施例と同様に窒素ガスが満たされている。そして、配線板の材料としてガラスエポキシのみを用い、かつ銅によって内層回路を形成したものを比較例1とした。また、配線板の材料として窒化アルミニウムのみを用い、かつタンゲステンペーストにより内層回路を形成したものを比較例2とした。

#### 【0024】

前記各比較例1, 2のICパッケージについても前記実施例1と同様の評価試験を行った。それらの結果も表1に示す。

#### 【0025】

【表1】

	N <sub>2</sub> ガスのリーク量 (atm·cc/sec)	シート抵抗 (mΩ/□)
実施例1	< 1 0 <sup>-7</sup>	< 1
実施例2	< 1 0 <sup>-7</sup>	< 1
比較例1	> 1 0 <sup>-5</sup> ~1 0 <sup>-6</sup>	< 1
比較例2	< 1 0 <sup>-7</sup>	5~20

#### 【0026】

表1から明らかなように、両実施例1, 2及び比較例2では窒素ガスのリーク量は1 0<sup>-7</sup> atm·cc/sec以下という好適な値を示した。それに対し、配線板にガラスエポキシを使用した比較例1では1 0<sup>-5</sup> atm·cc/sec~1 0<sup>-6</sup> atm·cc/sec以上と、他のものより大きい値を示した。従って、両実施例1, 2は比較例2と同様にキャップの封止性に優れていることが判明した。そして、両実施例1, 2ではキャップが接合される部分に窒化アルミニウム基板を配置したことにより、優れた封止性がもたらされたものと考えられる。

#### 【0027】

また、両実施例1, 2及び比較例1ではシート抵抗は1 mΩ/□以下という低

い値を示したのに対して、配線板に窒化アルミニウムを使用した比較例2では5mΩ/□～20mΩ/□と高かった。即ち、両実施例1，2では、配線板10に比抵抗の小さな銅を用いて内層回路11を形成したことにより、シート抵抗の低抵抗化がもたらされたものと考えられる。

#### 【0028】

以上の結果を勘案すると、各実施例1，2のICパッケージは、高速性及び信頼性の両方について好適であり、明らかに比較例のICパッケージより優れたものであるという結論に達する。よって、特に高速性及び信頼性が要求される大型コンピュータ等に充分使用することができる。また、ICチップ6の封止部分のみに窒化アルミニウム基板1を用いた本考案では、比較例2のような従来品とは異なり、セラミックス材料の使用に起因してコストが高騰してしまうことはない。

#### 【0029】

尚、本考案は上記実施例のみに限定されるわけではなく、以下のように構成を変更することも可能である。例えば、図1に示すようなわゆるフェースアップパッケージの他に、図3に示すようなフェースダウンパッケージとしても勿論良い。このタイプのICパッケージでは、セラミックス基板1の下面にキャップ9によって覆われたICチップ6が実装されている。また、セラミックス基板1の上面に配線板10が配置され、両者1，10がはんだバンプBを介して電気的に接続されている。更に、コネクタピン15はセラミックス製の基板1下面に設けられたピン立て用パッド14を介して、ICチップ6側に立設される。

#### 【0030】

##### 【考案の効果】

以上詳述したように、本考案の半導体素子パッケージによれば、内層回路の低抵抗化及び半導体素子を封止するためキャップの封止性改善が図られ、高速性及び封止性の両方を向上できるという優れた効果を奏する。

THIS PAGE BLANK (USPTO)